

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-036311

(43)Date of publication of application : 07.02.1997

(51)Int.Cl.

H01L 27/04
H01L 21/822
H01L 23/58

(21)Application number : 07-181348

(71)Applicant : NEC CORP

(22)Date of filing : 18.07.1995

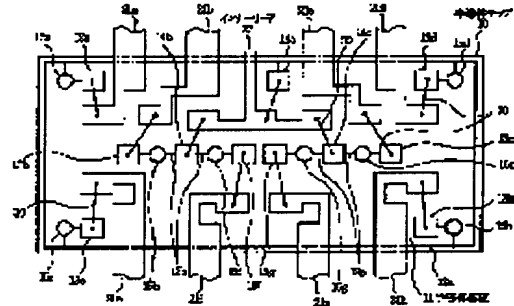
(72)Inventor : HAYANO HITONORI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce chip area, increase the freedom of design, and improve electrostatic breakdown strength.

SOLUTION: Common discharge wires 12a, 12b, 12c, bonding pads 14a, 14b, 14c which are directly connected with the common discharge wires, and a plurality of bonding pads 13a, 13d, 13e, 13h, 13b, 13f, 13c, 13g are arranged in a plurality of regions of a semiconductor chip 10, independently from each other. An inner lead 22 for discharge which is connected with the bonding pads 14a-14c through a bonding wire 30 and stuck and fixed on the surface of the semiconductor chip 10 is arranged.



LEGAL STATUS

[Date of request for examination] 18.07.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2830783

[Date of registration] 25.09.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2830783号 ✓

(45) 発行日 平成10年(1998)12月2日

(24) 登録日 平成10年(1998)9月25日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 27/04
21/822
23/58

H 0 1 L 27/04
23/56

H
C

請求項の数 5 (全 8 頁)

(21) 出願番号 特願平7-181348

(22) 出願日 平成7年(1995)7月18日

(65) 公開番号 特開平9-36311

(43) 公開日 平成9年(1997)2月7日
審査請求日 平成7年(1995)7月18日

(73) 特許権者 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 早野 仁紀

東京都港区芝五丁目7番1号 日本電気
株式会社内

(74) 代理人 弁理士 京本 直樹 (外2名)

審査官 池淵 立

(56) 参考文献 特開 平7-86510 (J P, A)
特開 平5-299598 (J P, A)
特開 平6-13525 (J P, A)
特開 平5-114685 (J P, A)
特開 平6-69407 (J P, A)

最終頁に続く

(54) 【発明の名称】 半導体装置

1

(57) 【特許請求の範囲】

【請求項1】 入力された信号に応じて所定の処理を行い所定の信号を出力する内部回路、この内部回路の信号入出力端及び電源電位、接地電位の供給端と接続する複数のボンディングパッド、これら複数のボンディングパッドそれぞれに近接して配置され前記電源電位及び接地電位の供給端のうち的一方と接続するボンディングパッドと直接接続する共通放電線、並びにこの共通放電線と直接接続するボンディングパッド以外の複数のボンディングパッドのそれぞれと前記共通放電線との間に接続され前記内部回路の構成素子を静電破壊から保護する複数の保護素子部を含む半導体チップと、この半導体チップの表面と接着固定すると共に前記共通放電線と直接接続するボンディングパッド以外の複数のボンディングパッドと対応接続する複数のインナーリードとを有する L O

2

C構造の半導体装置において、

前記半導体チップの前記ボンディングパッド、保護素子部及び共通放電線が配置された領域である主回路領域を複数の副領域に区分してこれら複数の副領域のそれぞれに、互いに独立した共通放電線、この共通放電線と直接接続するボンディングパッドを含む複数のボンディングパッド、及びこの共通放電線と直接接続するボンディングパッド以外のボンディングパッドとこの共通放電線との間に接続された保護素子部を配置し、前記複数の副領域のそれぞれの前記共通放電線と直接接続するボンディングパッドと接続し前記半導体チップの表面と接着固定する放電用のインナーリードを設けたことを特徴とする半導体装置。

【請求項2】 前記複数の副領域が、半導体チップの周辺部全体の領域と、この周辺部全体の領域の内側の所定

3

の領域とから成る請求項1記載の半導体装置。

【請求項3】 前記複数の副領域が、半導体チップの周辺部のうちの所定の領域と、前記半導体チップの周辺部の内側の所定の領域とから成る請求項1記載の半導体装置。

【請求項4】 前記共通放電線の所定の部分が、この部分と直接接続するボンディングパッドと所定の保護素子部との間に設けられてこれらを直結するように構成された請求項1記載の半導体装置。

【請求項5】 前記放電用のインナーリードが、共通放電線の所定の部分に近接並行して配置されて複数個所でこの所定の部分と接続する部分を含むように構成された請求項1記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置に関し、特に静電破壊保護回路を備えLOC構造を用いて組み立てられた半導体装置に関する。

【0002】

【従来の技術】半導体装置に外部から静電気による高電圧が印加された場合、半導体基板上に設けられた素子が破壊されてしまう。この対策として、従来よりさまざまな静電破壊保護技術が提案されている。その中で、特開平7-086510号公報には、共通放電線を備えた技術による半導体装置が開示されている。

【0003】図4は、上述の公知例に基ずく半導体装置の一例(第1の例)を示した回路図である。

【0004】この半導体装置は、入力信号INを一端に受ける入力抵抗R1、この入力抵抗R1の他端からの信号を受けるCMOSインバータ型の入力段回路161、この入力段回路161からの信号に対して所定の処理を行う内部処理部162、及び内部処理部162で処理された信号を出力信号OUTとして出力するCMOSインバータ型の出力段回路163を含む内部回路16と、電源電位Vcc1供給用の端子(図示省略、以下端子は全て図示省略)と接続し入力段回路161及び内部処理部162に電源電位Vcc1を供給するためのボンディングパッド13sと、入力信号IN用の端子と接続し入力抵抗R1の一端に入力信号INを伝達するためのボンディングパッド13tと、接地電位GND1供給用の端子と接続し入力段回路161及び内部処理部162に接地電位GND1を供給するための接地用のボンディングパッド14と、電源電位Vcc2供給用の端子と接続し出力段回路163に電源電位Vcc2を供給するためのボンディングパッド13uと、出力信号OUT用の端子と接続し出力段回路163からの出力信号OUTを出力するためのボンディングパッド13vと、接地電位GND2用の端子と接続し出力段回路163に接地電位GND2を供給するためのボンディングパッド13wと、ボンディングパッド14と接続しかつボンディングパッド13s

4

～13wに近接して設けられた共通放電線12xと、それぞれ電圧クランプ素子(Q1～Q5)及びダイオード素子(D1～D5)を1つずつ備えボンディングパッド13s～13wと共通放電線との間に設けられた保護素子部15s～15wとを、半導体基板に形成した構成となっている。

【0005】ここで、出力段回路163への電源電位Vcc2及び接地電位GND2と、それ以外の回路への電源電位Vcc1及び接地電位GND1とを別々に分けて供給しているのは、出力段回路163の動作時に瞬時的に大電流が流れ、これによる電源電位線、接地電位線の電位変動がノイズとして出力段回路163以外の回路に影響するのを防ぐためである。

【0006】このような構成とすることにより、任意のボンディングパッド間に、任意の極性の高電圧が印加された場合、多くとも1個の電圧クランプ素子と1個の順方向のダイオード素子とによって放電されることとなり、安定した静電破壊耐量が得られる。たとえば、ボンディングパッド13s、13w間に、13sを正極とするような高電圧が静電気により印加された場合、ボンディングパッド13sから、電圧クランプ素子Q1、共通放電線12x、ダイオード素子D5という経路を経て、ボンディングパッド13wに接続された端子から外部へ放電される。

【0007】このような放電経路のため、内部回路16に印加される最大電圧は、電圧クランプ素子(Q1～Q5)のクランプ電圧と、ダイオード素子(D1～D5)の順方向電圧、いわゆるビルトインポテンシャル、及び共通放電線12xのインピーダスによって発生する電圧の和となる。この最大電圧を内部回路16を構成するMOSTランジスタのゲート酸化膜の絶縁破壊耐圧と比較して、十分低い電圧となるように保護素子部15s～15wや共通放電線12xの設計を行なっている。

【0008】図5(A)、(B)はこの半導体装置の半導体基板に形成された1つの保護素子部(15s)及びその周辺を示した平面図及び断面図である。図5

(A)、(B)に於いて、上記の電圧クランプ素子(Q1)及びダイオード素子(D1)はN型不純物領域171、172とP型不純物領域173とにより形成されている。

【0009】ここで、N型不純物領域171はコンタクト孔174及び金属配線18によりボンディングパッド13sに接続されており、N型不純物領域172及びP型不純物領域173も同様にして共通放電線12xに接続されている。

【0010】また、電圧クランプ素子Q1は、N型不純物領域171、172とP型半導体基板173とで構成されるラテラル型NPNバイポーラトランジスタにより形成され、ダイオード素子D1は、N型不純物領域171とP型不純物領域173とにより形成される。なお、

5

図5(B)に於いては、ボンディングパッド及び共通放電線に接続される金属配線は省略してある。

【0011】ここで、上記NPNバイポーラトランジスタによる電圧クランプ素子Q1は、2つのN型不純物領域171、172間の距離を変えることにより、クランプ電圧をコントロールすることができる。つまり、N型不純物領域171、172間の距離を小さくするほどクランプ電圧を低く設定することができる。このため、素子構造の微細化に伴いMOSトランジスタのゲート酸化膜が薄膜化して絶縁破壊耐圧が低下することに対応して、電圧クランプ素子のクランプ電圧を下げる事により、半導体装置の静電破壊耐量の向上をはかることができる。

【0012】図6は、上述の共通放電線を備えた静電破壊保護技術を適用した半導体装置の半導体チップの平面図である。

【0013】図6に於いて、共通放電線12xは、半導体チップ10xの外周(スクライプ線部)に設けられている。一般に半導体装置では、半導体チップ外周に、半導体基板と接続された配線(以下スクライプ配線という)が設けられており、図6の共通放電線12xはこのスクライプ配線と兼用されている。この様に、共通放電線を既存のスクライプ配線と兼用する事で、半導体チップの面積を増大させることなく、静電破壊耐量の向上をはかる事ができる。なお、図6に於いて保護素子部15s~15zは細部を省略して示してある。

【0014】図7は、更に半導体チップを固定保持する導体部のダイパッドも共通放電線として利用した例(第2の例)を示した平面図である。図7においては、共通放電線12yは半導体チップ10yの両端でボンディング線30によってダイパッド24に接続されており、共通放電線12yのインピーダンスを下げる働きをしている。

【0015】なお、以上の説明では、共通放電線として接地電位線を用いた例について説明したが、接地電位以外の配線を用いることも可能である。

【0016】一方、近年の半導体装置、特に半導体記憶装置の分野では、記憶容量の大容量化に伴い、半導体チップの面積の増大が大きく、この様な半導体チップを標準化された寸法のパッケージに収納するために、LOC(lead on chipの略)構造と呼ばれる新たな組立技術が開発されている(たとえば、日経マイクロデバイス、1991年11月号、79~83頁参照)。

【0017】この技術は、従来のリードフレームが半導体チップを固定保持するダイパッドと、半導体装置の入出力信号を外端子として取り出すインナーリードとを別々に設けていたのに対し(図7参照)、インナーリードを半導体チップ上に配置し(いわゆるlead on chip)、半導体チップを固定保持する機能を持たせることでダイパッドを不用とする技術である。

6

【0018】この技術により、ダイパッドとインナーリードとを分離する領域や、インナーリード上のボンディングのための領域を削除することができる。再び図7を用いて説明すると、図7中の(B)及び(C)の領域が、上記領域に相当する。この領域の寸法は、(B)、

(C)合わせて0.5~1mm程度となり、その分大きな寸法の半導体チップを従来と同じ寸法のパッケージに収納することができる。

【0019】更に、半導体チップ上に配置するインナーリードの形状を任意に設計することができるため、従来、半導体チップの外周部にのみ設けていたボンディングパッドを、半導体チップ表面内に自由に配置することができる。このことは、設計の自由度を増大させるばかりでなく、半導体チップに形成される配線の長さを短縮して動作速度の高速化や、電源系配線の強化による動作時のノイズ低減など、半導体装置の特性を向上させる上で大きな利点を有している。

【0020】図8は、上述したLOC構造を有する半導体装置(第3の例)の平面図である。図8において、インナーリード21s~21zは、半導体チップ10z上にまで設けられ、接着剤(図示せず)を介して半導体チップ10zを固定保持している。またボンディングパッド13s~13z、14は、半導体チップ10zの外周部に加え、その内側領域にも設けられている(13t、13x、13y、13u)。そしてこれらボンディングパッド13t、13x、13y、13uに近接した領域にも共通放電線12zが延長、配置されている。

【0021】

【発明が解決しようとする課題】しかるに、前述したLOC構造の半導体装置では、次に示すような新たな問題が発生する。

【0022】LOC構造を採用した結果、ボンディングパッドを半導体チップ表面の任意の位置に配置できるようになる一方、これらボンディングパッドそれぞれの近傍には共通放電線も設けられるため、半導体チップの内側にも共通放電線を設けなければならない。このため、半導体チップの内側に共通放電線を配置するための領域が必要となり、このことは、半導体チップ面積の増大をもたらす。共通放電線の幅は、その長さによっても異なるが、一般には10μmから40μm程度は必要であり、この分が、半導体チップ面積の増大分となる。

【0023】半導体チップ面積の増大を抑えるためには、共通放電線の幅を小さくする方法があるが、共通放電線幅の縮小は、インピーダンスを増大させ、内部回路に印加される電圧を大きくしてしまう。この結果、内部回路の静電破壊耐量が悪化し、静電破壊による不具合が発生してしまう。

【0024】更に、半導体チップの外周部及び内側部分両方にわたってボンディングパッドを配置する場合、これらボンディングパッドすべてを保護素子部を介して、

7

又は直接接続するための共通放電線を、半導体チップに配置しなければならない。しかも、半導体チップ表面の任意の2個のボンディングパッド間で、共通放電線のインピーダンスが極端に大きくなるようにするためには、共通放電線の配置にかなりの工夫が必要である。このことは、設計の自由度を大きく阻害してしまう。特にDRAMやSRAMなどの半導体記憶装置の場合、半導体チップ内部には、メモリセルが多数配列された領域が存在するため、この領域を回避して共通放電線を配置しなければならず、設計上のむずかしさは一層大きなものとなる。

【0025】本発明の目的は、チップ面積を縮小すると共に設計の自由度を増大させることができ、かつ静電破壊耐量を向上させることができる半導体装置を提供することにある。

【0026】

【課題を解決するための手段】本発明の半導体装置は、入力された信号に応じて所定の処理を行い所定の信号を出力する内部回路、この内部回路の信号入出力端及び電源電位、接地電位の供給端と接続する複数のボンディングパッド、これら複数のボンディングパッドそれぞれに近接して配置され前記電源電位及び接地電位の供給端のうちの一方と接続するボンディングパッドと直接接続する共通放電線、並びにこの共通放電線と直接接続するボンディングパッド以外の複数のボンディングパッドそれぞれと前記共通放電線との間に接続され前記内部回路の構成素子を静電破壊から保護する複数の保護素子部を含む半導体チップと、この半導体チップの表面と接着固定すると共に前記共通放電線と直接接続するボンディングパッド以外の複数のボンディングパッドと対応接続する複数のインナーリードとを有するROC構造の半導体装置において、前記半導体チップの前記ボンディングパッド、保護素子部及び共通放電線が配置された領域を複数の領域に区分してこれら複数の領域それぞれに、互いに独立した共通放電線、この共通放電線と直接接続するボンディングパッドを含む複数のボンディングパッド、及びこの共通放電線と直接接続するボンディングパッド以外のボンディングパッドとこの共通放電線との間に接続された保護素子部を配置し、前記複数の領域それぞれの共通放電線と直接接続するボンディングパッドと接続し前記半導体チップの表面と接着固定する放電用のインナーリードを設けて構成される。

【0027】また、複数の領域が、半導体チップの周辺部全体の領域と、この周辺部全体の領域の内側の所定の領域とから成るか、半導体チップの周辺部のうちの所定の領域と、前記半導体チップの周辺部の内側の所定の領域とから成るようにして構成され、更に共通放電線の所定の部分が、この部分と直接接続するボンディングパッドと所定の保護素子部との間に設けられてこれらを直結するように構成される。

8

【0028】また、放電用のインナーリードが、共通放電線の所定の部分に近接並行して配置されて複数個所でこの所定の部分と接続する部分を含むように構成される。

【0029】

【発明の実施の形態】次に本発明の実施の形態について図面を参照して説明する。

【0030】図1は本発明の第1の実施の形態を示す平面図である。

【0031】この第1の実施の形態が図8に示された従来の半導体装置に相違する点は、従来の半導体装置では全ての保護素子部15s~15zが1本の共通放電線12zと接続しているのに対し、この第1の実施の形態では、共通放電線、ボンディングパッド及び保護素子部が形成されている半導体チップ10の領域を3つの領域、すなわち、周辺部全体の領域と、周辺部の内側の2つの領域とに区分し、これら3つの領域それぞれに、互いに独立した共通放電線12a~12cと、これら共通放電線と直接対応接続するボンディングパッド14a~14cとを設け、共通放電線12aには周辺部全体に配置された保護素子部15a, 15d, 15e, 15hを接続し、共通放電線12bには内側の2つの領域のうちの一方に配置された保護素子部15b, 15fを接続し、共通放電線12cには内側の2つの領域のうちの他方に配置された保護素子部15c, 15gを接続すると共に、ボンディングパッド14a~14cに近接しかつ半導体チップ10の表面に接着固定してボンディング線30によりこれらボンディングパッド14a~14cと接続する放電用のインナーリード22を設けた点にある。また、共通放電線12bは、ボンディングパッド14bと保護素子部15b, 15fとの間に設けられてこれらの間を直接接続し、共通放電線12cは、ボンディングパッド14cと保護素子部15c, 15gとの間に設けられてこれらの間を直接接続する構造となっている。

【0032】なお、この第1の実施の形態においては、ボンディングパッド14b, 14cが内側の領域に新たに設けられているが、ボンディングパッド13b, 13f, 13g, 13c及び保護素子部15b, 15f, 15g, 15cが並んでいる間のすき間を利用すれば、これらボンディングパッド14b, 14cの追加は十分可能である。

【0033】そして、この第1の実施の形態によれば、共通放電線12b, 12cは、ボンディングパッド14b, 14cと保護素子部15b, 15f, 15c, 15gとの間に設けられ、これら内側の領域に設けられたボンディングパッド及び保護素子部と並行する共通放電線は不要となり、その分、チップ面積を小さくすることができる。仮に、並行する共通放電線の幅を30μmとすると、16MビットDRAMの場合、約0.4%のチップ面積の縮小が可能となる。更に、実際には、周辺部と

内側の領域とを結ぶ共通放電線も不要となるので、その分更にチップ面積が縮小されるだけでなく、それによる他の配線の引きまわしや配線等を含む設計の自由度が増大する。また、共通放電線の幅を小さくしなくて済み、放電用のインナーリード22によってそのインピーダンスを小さくすることができ、静電破壊耐量を向上させることができる。

【0034】図2は本発明の第2の実施の形態を示す平面図である。

【0035】この第2の実施の形態は、第1の実施の形態のように、新たに2つのボンディングパッド14b、14cを追加するだけの十分な領域が確保できない場合に、ボンディングパッド14bを1個だけにとどめたものである。この場合には、内側の領域は1つの領域とし、ボンディングパッド14bと直接接続しかつボンディングパッド13b、13f、14b、13g、13c及び保護素子部15b、15f、15g、15cに近接、並行する1つの共通放電線12dが設けられ、これら保護素子部が接続される。そして、共通放電線12a、12dは、半導体チップ10aの表面に接着固定し、ボンディング線30でボンディングパッド14a、14bと接続するインナーリード22aによって接続されている。

【0036】この第2の実施の形態においては、内側の領域でのチップ面積の縮小はないが、共通放電線12a、12d間を接続する共通放電線が不要となるので、その分チップ面積を縮小することができ、かつ設計の自由度を増大させることができる。また、第1の実施の形態と同様に、静電破壊耐量も向上する。

【0037】図3は本発明の第3の実施の形態を示す平面図である。

【0038】この第3の実施の形態は、周辺部の領域を相対向する2つの辺それぞれの2つの領域とし、内側は1つの領域として、周辺部の一方の辺の領域には、共通放電線12eと、この共通放電線12eと直接接続するボンディングパッド14dと、この共通放電線12eに近接並行して配置されたボンディングパッド13a、13e及び保護素子部15a、15eとが設けられ、周辺部の他方の辺の領域には、共通放電線12gと、この共通放電線12gと直接接続するボンディングパッド14fと、この共通放電線12gに近接並行して配置されたボンディングパッド13d、13h及び保護素子部15d、15hとが設けられ、内側の領域には、共通放電線12fと、この共通放電線12fと直接接続するボンディングパッド14eと、この共通放電線12fに近接並行して配置されたボンディングパッド13b、13c、13f、13g及び保護素子部15b、15c、15f、15gとが設けられ、共通放電線12e、12f、12gは、ボンディング線30でボンディングパッド14d、14e、14fと接続しかつ半導体チップ10b

の表面に接着固定するインナーリード22bにより接続されている。

【0039】この第3の実施の形態においては、共通放電線12e、12g等が設けられている周辺部の2辺以外の2辺の共通放電線が不要であり、かつ周辺部と内側とを接続する共通放電線も不要であるので、その分チップ面積を縮小することができ、また設計の自由度を増大させることができる。また、第1、第2の実施の形態と同様に、静電破壊耐量も向上する。

【0040】これら実施の形態では、半導体チップ表面の複数の領域それぞれに共通放電線等を分散して配置し、これら共通放電線をインナーリードにより相互に接続する形態について述べたが、このような形態に限定されるものではなく、例えば、共通放電線の幅が十分確保できず、そのインピーダンスが増大する場合には、その共通放電線に近接並行して配置され、かつ複数個所でその共通放電線と接続するようにした放電用のインナーリードを設け、インピーダンスを低下させることもできる。

【0041】

【発明の効果】以上説明したように本発明は、半導体チップのボンディングパッド、保護素子部及び共通放電線の配置領域を複数の副領域に分けてこれら複数の副領域それぞれに、互いに独立した共通放電線と、この共通放電線と直接接続するボンディングパッドを含む複数のボンディングパッドと、保護素子部とを配置し、複数の副領域それぞれの共通放電線と接続して半導体チップの表面に接着固定する放電用のインナーリードを設けた構成とすることにより、共通放電線を1本とした従来例に比べ、共通放電線のうちの周辺部の領域と内側の領域とを結ぶ部分を含む所定の部分を放電用のインナーリードで置き換えることができるので、その分、共通放電線の配置面積を小さくしてチップ面積を縮小することができると共に設計の自由度を増大させることができ、かつ放電用のインナーリードを含む共通放電線のインピーダンスを低下させて静電破壊耐量を向上させることができる効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態を示す平面図である。

【図2】本発明の第2の実施の形態を示す平面図である。

【図3】本発明の第3の実施の形態を示す平面図である。

【図4】従来の半導体装置の一例を示す回路図である。

【図5】図4に示された半導体装置の保護素子部とその周辺の平面図及び断面図である。

【図6】従来の半導体装置の第1の例を示す平面図である。

【図7】従来の半導体装置の第2の例を示す平面図であ

11

12

る。

【図8】従来の半導体装置の第3の例を示す平面図である。

【符号の説明】

10, 10a, 10b, 10x~10z 半導体チップ
 11, 11a, 11b, 11x~11z 半導体基板
 12a~12g, 12x~12z 共通放電線
 13a~13h, 13s~13z, 14, 14a~14

f, 14x, 14y ボンディングパッド

15a~15h, 15s~15z 保護素子部

16 内部回路

18 金属配線

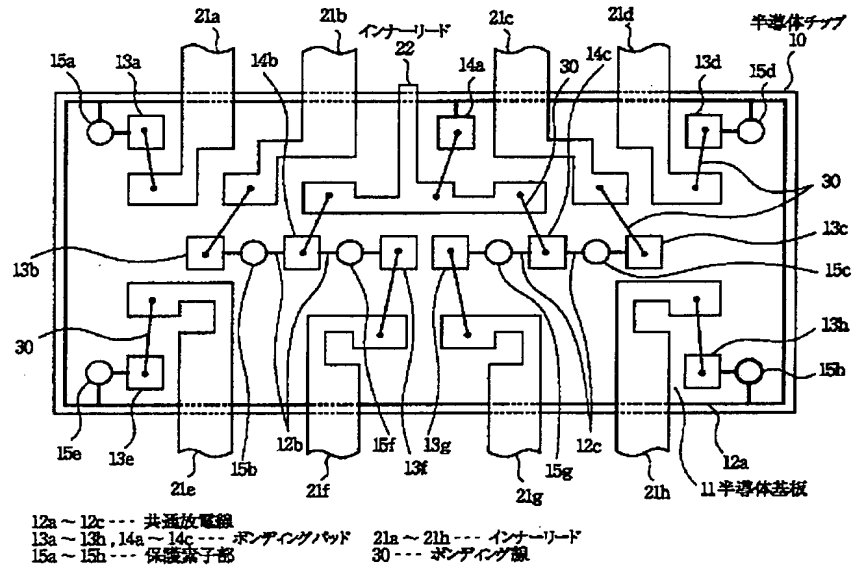
19 フィールド酸化膜

21a~21h, 21s~21z, 22, 22a, 22b, 23s~23x インナーリード

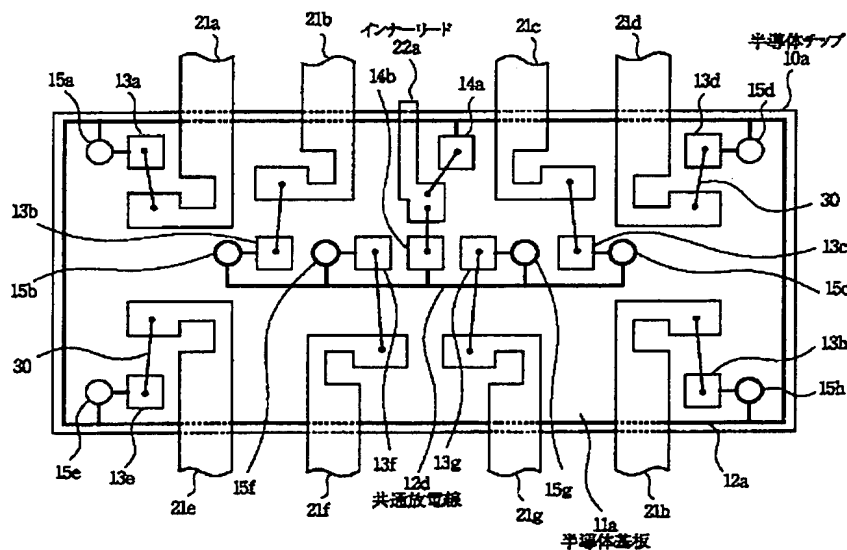
24 ダイパッド

30 ボンディング線

【図1】

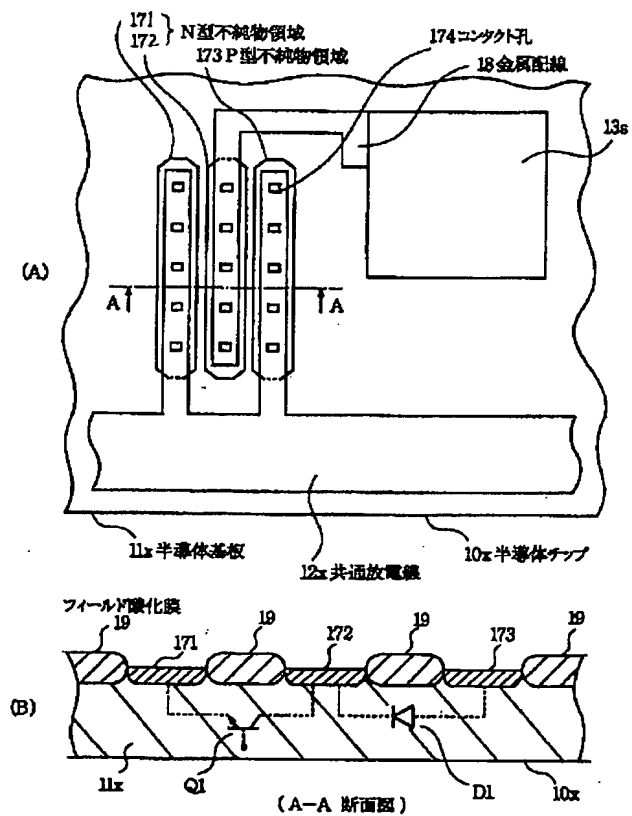
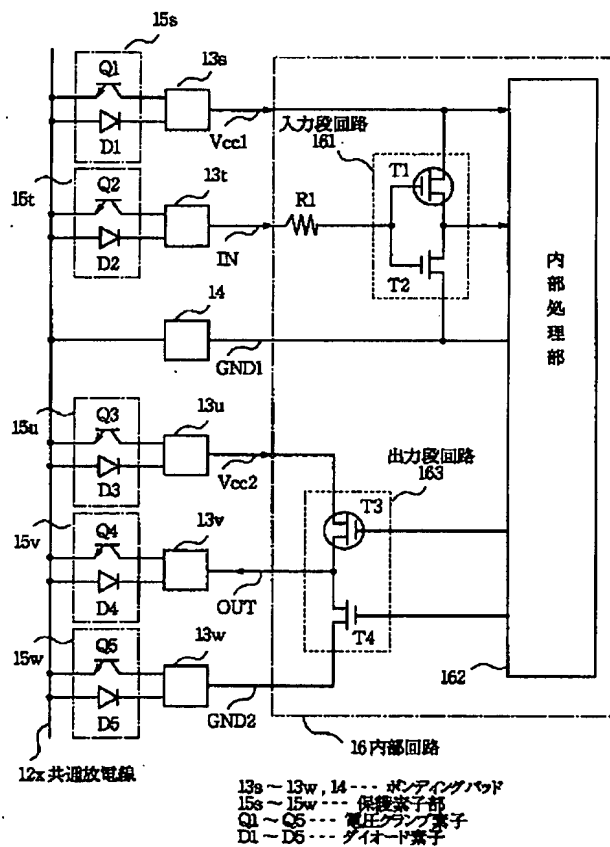


【図2】

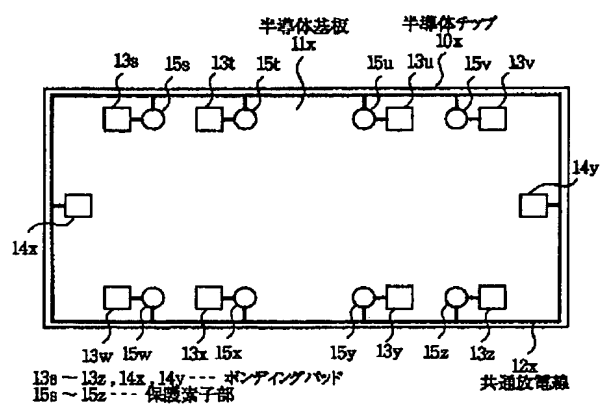


[illegible]

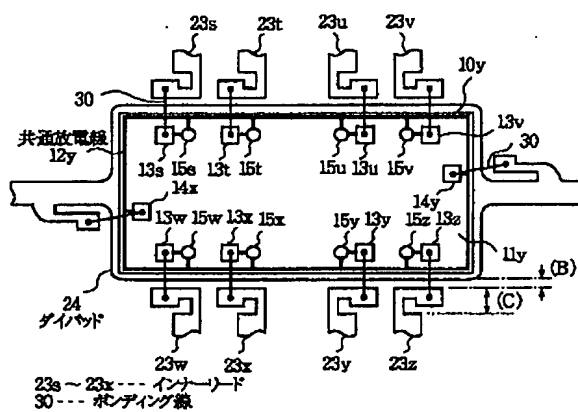
【图 5】



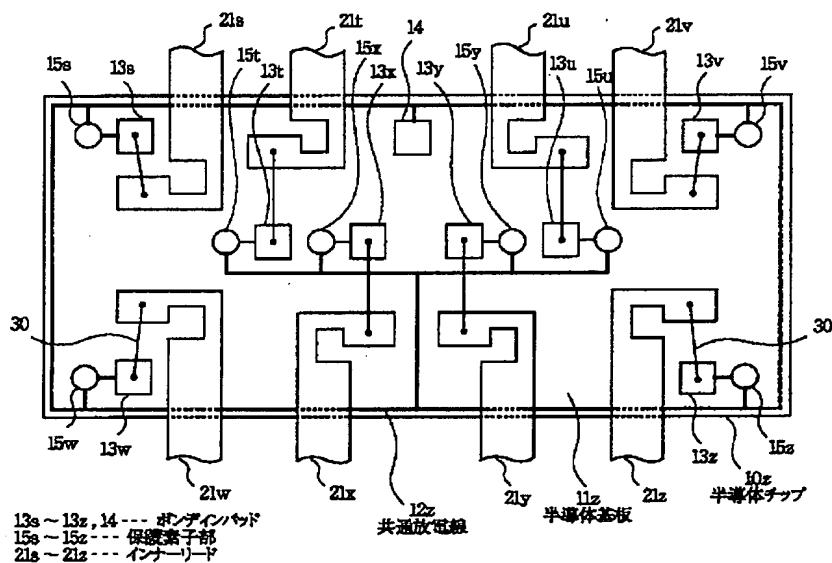
【図6】



【図7】



【図8】



フロントページの続き

(58) 調査した分野(Int.Cl.⁶, DB名)

H01L 27/04

H01L 21/822